

クロスバ接続による 3 次元 Network-on-Chip 向け多層型トポロジ

松谷 宏紀[†] 鯉淵 道紘^{††} 天野 英晴[†]

[†] 慶應義塾大学大学院 理工学研究科 〒 223-8522 神奈川県横浜市港北区日吉 3-14-1

^{††} 国立情報学研究所 〒 101-8430 東京都千代田区一ツ橋 2-1-2

E-mail: [†]{matutani,hunga}@am.ics.keio.ac.jp, ^{††}koibuchi@nii.ac.jp

あらまし 3 次元 IC は複数枚のウェハまたはダイを垂直方向に重ね合わせることでチップサイズを小型化できるため、配線遅延の問題を緩和する技術として注目を浴びている。このような状況を背景に、3 次元 IC 向け Network-on-Chip (3 次元 NoC) の研究が報告されるようになったが、そのネットワークトポロジに関しては 3 次元メッシュを除きあまり検討されておらず、トポロジ選択の余地は狭い。そこで、本論文では 3 次元 NoC 向けに Xbar-connected Network-on-Tiers (XNoTs) と呼ばれる 3 次元トポロジのクラスを提案する。XNoTs では、複数枚のネットワークレイヤがクロスバスイッチを介して密に接続される。低遅延かつ高密度なレイヤ間リンクを活かすため、各レイヤと計算コアはクロスバで直接接続され、各レイヤ内のトポロジはアプリケーションに応じて任意の形状を取ることができる。本論文では、XNoTs の例として、メッシュ、トーラス、ツリーを内包したトポロジを示し、これらを理想スループット、平均ホップ数、実スループット、ルータ数、結合網の面積、消費エネルギーについて評価した。その結果、XNoTs は任意の平面トポロジを重ね合わせることができるという柔軟性を備えつつ、既存の 3 次元トポロジと同程度の面積性能比を実現できることが分かった。

Crossbar-Connected Multi-Layer Topologies for 3-D Network-on-Chips

Hiroki MATSUTANI[†], Michihiro KOIBUCHI^{††}, and Hideharu AMANO[†]

[†] Graduate School of Science and Technology, Keio University 3-14-1, Hiyoshi, Yokohama, JAPAN 223-8522

^{††} National Institute of Informatics 2-1-2, Hitotsubashi, Chiyoda-ku, Tokyo, JAPAN 101-8430

E-mail: [†]{matutani,hunga}@am.ics.keio.ac.jp, ^{††}koibuchi@nii.ac.jp

Abstract Three-dimensional Network-on-Chip (3-D NoC) is an emerging research topic exploring the network architecture of 3-D ICs that stack several smaller wafers for reducing wire length and wire delay. Although the network topology of 3-D NoC has been explored for a couple of years, there is still only a narrow range of choices, except for 3-D meshes. In this paper, we propose a class of 3-D topologies called Xbar-connected Network-on-Tiers (XNoTs), which consist of multiple network layers tightly connected via crossbar switches. To make the best use of the short delay and high density of inter-wafer links, XNoTs topologies have crossbar switches that connect different layers and their cores. The planar topology on every layer can be independently customized so as to meet the cost-performance requirements. Several forms of XNoTs topologies including meshes, tori, and/or trees are created, and they are evaluated in terms of ideal throughput, average hop count, simulated throughput, number of routers, network logic area, and energy consumption. As a result, we show that even with the flexibilities mentioned above, XNoTs achieve at least as high throughput as existing 3-D topologies for equivalent chip sizes.

1. はじめに

半導体技術の進歩により、単一チップ上にプロセッサやメモリ、I/O など複数の設計モジュールをタイル状に実装できるようになった。このようなタイルアーキテクチャでは、タイル同士の結合に Network-on-Chip (NoC)[1] が用いられ、そのネットワークトポロジはアプリケーションの性能と面積、消費電力を決定付ける一要素となっている。

NoC の規模は年々増大しているが、その一方で、配線遅延や消費電力、それに伴う発熱の増加がますます深刻化している。これまで長い配線にリピータバッファを挿入することで配線遅延の問題を緩和してきたが、遅延の削減効果には限界があるうえに、リピータの挿入は消費電力の増加を引き起こす。したがって、リピータの挿入はこれらの問題の根本的な解決策にはなっていない。

そこで近年注目を浴びているのが、チップの 3 次元化 [2] ~ [4] である。3 次元 IC は複数枚のウェハまたはダイを垂直方向に重

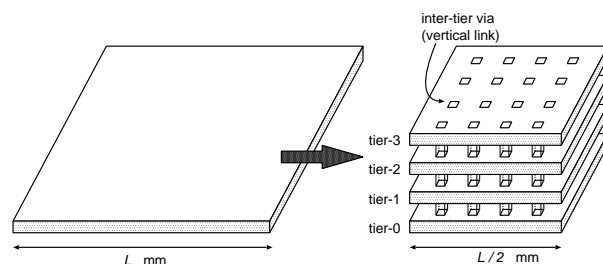


図 1 2 次元 IC (左図) と 3 次元 IC (右図)

ね合わせることで実現される (本論文では 3 次元 IC を構成する各ダイまたはウェハを文献 [2] にならい tier と呼ぶ)。複数枚の tier を垂直方向に積み重ねることで、個々の tier の寸法を小さく抑えることができ、結果的に配線長および配線遅延を削減できる。例えば、図 1 の左図は通常の 2 次元 IC を、右図はそれと同じ面積の 3 次元 IC を示している。この 3 次元 IC では 4 枚の tier を積層する代わりに、個々の tier の面積は 1/4、チップの端と端を

結ぶ配線長は $1/2$ に削減される．配線遅延は配線長の 2 乗に比例するため，配線遅延は最大で $1/4$ まで削減され，それに伴い必要なピータバッファの数も減る．

3 次元 IC には，ダイ同士をワイヤボンディングで結合するもの，マイクロポンプで結合するもの，チップ間無線通信を用いるもの，また，ウェハ同士を貫通ビアで結合するものなどがある [2]．本論文では tier 間リンクを最も高密度に実装できると期待されている貫通ビアを想定して議論を進める．文献 [2] によると，この貫通ビアによる方法では，tier 同士の間隔は $5\mu\text{m} \sim 50\mu\text{m}$ 程度まで抑えることができるため，tier 間リンクは水平方向のリンク長に比べて無視できるほど短くなる．一方，貫通ビアのサイズは $1\mu\text{m}$ 角 $\sim 10\mu\text{m}$ 角程度 [2] \sim [4] と，配線ピッチよりはるかに大きいので，tier 間リンクの数によってはその面積が問題になる．

このような状況を背景に 2005 年頃より 3 次元 IC 向け NoC (3 次元 NoC) の研究が報告されるようになったが，現状では 3 次元メッシュ [5] や単純な垂直バス [3] のみが議論されており，依然としてトポロジ選択の余地が狭い．そこで，本論文では 3 次元 NoC 向けに Xbar-connected Network-on-Tiers (XNoTs) と呼ばれる 3 次元トポロジのクラスを提案する．XNoTs では，複数のネットワーク層がクロスバススイッチを介して密に接続される．低遅延かつ高密度な tier 間リンクを活かすため，各 tier と計算コアはクロスバで直接接続され，各 tier 内のトポロジはアプリケーションに応じて任意の形状を取ることができる．本論文では，XNoTs の例として，メッシュ，トーラス，ツリーを内包したトポロジを示し，これらを理想スループット，平均ホップ数，実スループット，ルータ数，結合網の面積，消費エネルギーについて評価する．最後に，これらのトポロジの利害得失をまとめる．

本論文の構成は次のとおりである．まず 2. 章で既存の NoC のトポロジについて述べ，3. 章で XNoTs の定義，XNoTs の例，XNoTs 向けデッドロックフリールーティングを提案する．4. 章でこれらの評価を行い，5. 章で本論文をまとめる．

2. NoC のトポロジ

図 2 に代表的なネットワークトポロジを示す．図中の四角はルータ，丸は計算コアを表す．当然，トポロジ毎にルータの個数やポート数，リンク長は異なるため，要求される性能，許容できる面積および消費電力に応じてトポロジを選択する必要がある．

ネットワークトポロジは，ルータとコアが単一ノードとして実装される直接網と，ルータを介してコア同士が間接的に接続される間接網に大別される．以降の節で，それぞれの例を紹介する．

2.1 直接網

直接網の代表例はメッシュとトーラスである．とりわけ，容易に 2 次元レイアウト可能な 2D-mesh (図 2(a)) が MIT RAW や Trips Edge など広範囲に用いられている．

3 次元 NoC においては 3D-mesh を想定した研究が報告されている [5]．3D-mesh は 2D-mesh から容易に拡張可能であり高い性能が期待できるが，文献 [3] が指摘するように，次の理由で，3 次元 IC における垂直リンクの帯域を生かしきれていない．

- 3D-mesh では 2D-mesh と比べ，オンチップルータのポート数が 5 から 7 に増え，ルータのチャンネルバッファおよびクロスバススイッチの面積が増加する．

- 3 次元 IC では垂直方向のリンクは数十 μm 程度と短く，伝送遅延も非常に小さい．そのため，垂直方向のデータ転送時にパケットを tier 毎のルータで毎回ラッチするメリットが少ない．

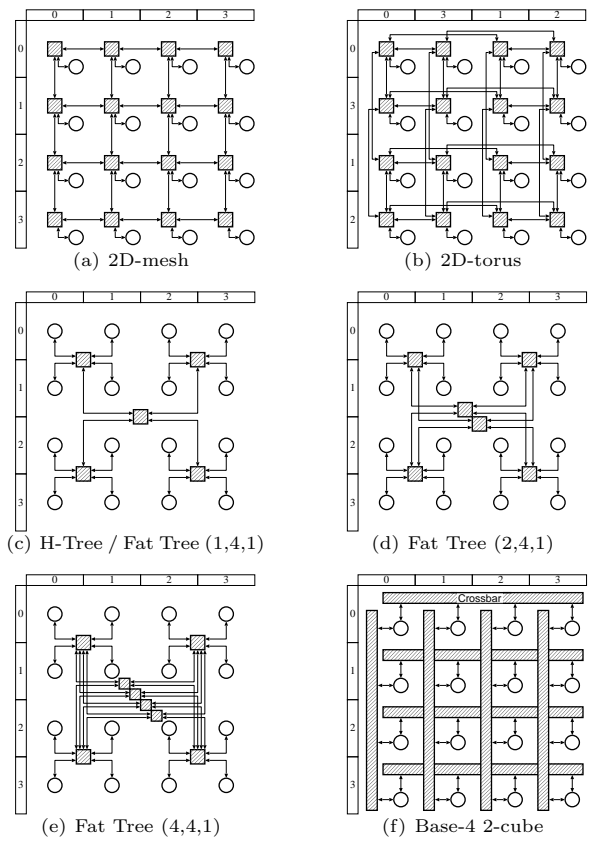


図 2 代表的なネットワークトポロジ (16 コア)

2.2 間接網

間接網の代表例はツリーであり，SPIN など採用されている．

単純な 4 進ツリーを 2 次元レイアウトした H-Tree (図 2(c)) は，トラフィックがツリーのルート付近に集中しやすい．そこで，Fat Tree ではツリーを多重化することでツリーのルート付近のトラフィックの集中を緩和する．Fat Tree には様々な形態があり，ここでは Fat Tree を (上向きリンク数 p ，下向きリンク数 q ，コアの上向きリンク数 c) の組みで表記する．例えば，図 2(d) において各ルータは 2 本の上位リンク，4 本の下位リンク，各コアは 1 本の上位リンクを持つため，これを Fat Tree (2,4,1) と表記する．

ツリー以外の間接網としては図 2(f) に示す base- m n -cube が知られている [6]．base- m n -cube はメッシュにおける各次元方向のリンクを単一クロスバによって置き換えた形をとる．各次元がクロスバによって接続されるため通信性能が高く，広帯域かつ低遅延が期待できるが，ネットワークサイズが大きくなるとクロスバのポート数が増え，ハードウェア量が大幅に増加する．そのため，このようなトポロジは主に大規模な並列計算機で用いられた．

3. Xbar-connected Network-on-Tiers

本章では XNoTs トポロジを提案する．XNoTs では tier 毎に任意のネットワークトポロジ (直接網または間接網) を採用でき，tier 同士はクロスバススイッチによって間接的に結合される．

3.1 定義

XNoTs を定義する前段階として，3 次元 IC を構成する各 tier のネットワーク (Network-on-a-Tier) を定義する．

[定義 1] Network-on-a-Tier (NoT) は単一 tier 上の平面ネットワークであり，異なる tier との接続用のリンクを持つ．

図 3 は 4 個のルータとコアから成るメッシュベースの NoT である．各コアには 2 次元座標 (x, y) が割り振られ，各ルータは

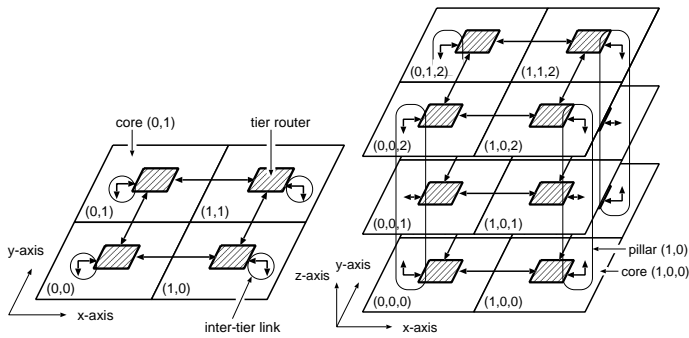


図 3 NoT の例 図 4 3層 NoT における pillars の例

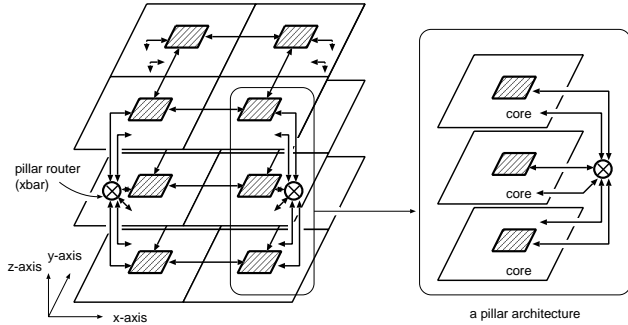


図 5 3層 XNoTs の例

tier 間リンクを持つ．このようなルータを tier router と呼ぶ．

複数の NoT を積層することで図 4 のような 3 次元 NoC が得られる．図のように各コアに 3 次元座標 (x, y, z) が割り振られる．

[定義 2] n 層の積層された NoT において，共通の 2 次元座標 (x, y) を持つ tier 間リンクの集合を pillar (x, y) と呼ぶ．

図 4 は 4 個の pillar を持つ 3 層 NoT の例である．

[定義 3] n 層の Xbar-connected NoTs (XNoTs) は，共通の 2 次元座標 (x, y) を持つコアおよび pillar 内の tier 間リンクを単一クロスバで接続した n 層 NoT である．ただし，最下位 NoT だけですべてのコアへの接続性を保証しなければならない．

図 5 は XNoTs トポロジの例であり，各 pillar におけるすべての tier 間リンクと計算コアが単一クロスバで接続されている．このようなクロスバを pillar router と呼ぶ．

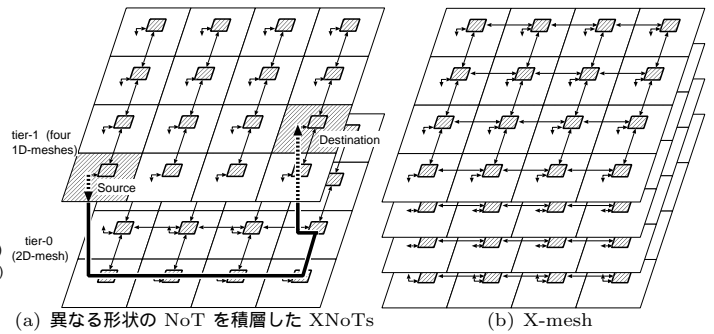
最下位 NoT (tier-0 の NoT) は単独ですべてのコアへの接続性を保証するが，他の NoT はこれを保証する必要はない．例えば，図 6(a) の XNoTs では，最下位 NoT は単独ですべてのコアへの接続性を持つが，上位 NoT のみではこれを保証できない．それでも，上位 NoT は最下位 NoT を経由することでどのコアへも到達できる．さらに，特定の tier を選択的に用いることもできる．例えば，3 次元 IC の放熱のため，ヒートシンクに近い最下位 tier を選択的に用いるような使い方が考えられる．

用途に応じて tier 毎のトポロジを自由に選択できるため，様々な形状の XNoTs を作ることができる．図 6(b) はメッシュベースの XNoTs である．同様に，トーラスベース XNoTs (“X-torus”)，リングベース XNoTs (“X-ring”，図 6(c))，ツリーベース XNoTs (“X-ft241”，図 6(d))^(注1)，tier 毎のトポロジが異なる非対称 XNoTs (“X-custom”，図 6(a))などが考えられる．

3.2 デッドロックフリー・ルーティング

ルーティングアルゴリズムは動的に経路を選択することで高い性能を引き出す適応型ルーティングと，通信経路が固定で通信の FIFO 性を保証する固定型ルーティングに大別される．両者とも，

(注 1) : 各 NoT の形状が Fat Tree (2,4,1) であるため “X-ft241” と名付けた．



(a) 異なる形状の NoT を積層した XNoTs (b) X-mesh

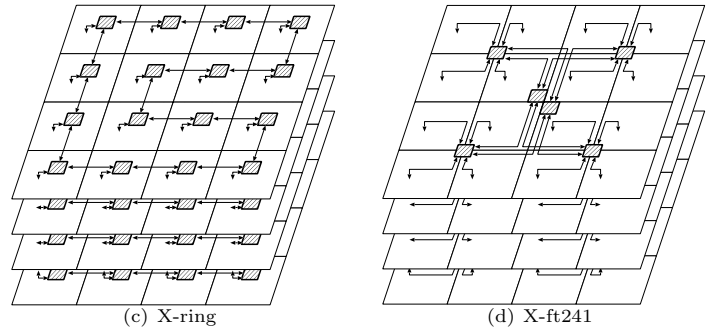


図 6 様々な XNoTs の例 (図中では pillar routers は省略)

XNoTs の場合は以下の手順にしたがって設計される：a) デッドロックを防ぐために tier 内通信に制限を課す．b) デッドロックを防ぐために tier 間通信に制限を課す．c) 上記の制限下において最短経路を探索する．以降，各ステップについて説明する．

a) tier 内通信の制限について

以下の 2 つの条件を満たすよう tier 内通信に制限を加える：i) パケットが単一 tier 内で転送される限りデッドロックフリーである．ii) 最下位 NoT においてすべてのコアへの到達性を保証する．

例えば，メッシュまたはトーラスベースの NoT においては次元順ルーティング (DOR)[7]，NoT が不規則トポロジのときは $up^*/down^*$ ルーティングを用いれば上記の条件を満足できる．

b) tier 間通信の制限について

tier 間の循環依存を取り除くため，次ホップが宛先コアに直接つながる pillar router の場合を除き，小さい番号の tier から大きい番号の tier への tier 間通信を禁止する．

c) 最短経路の探索について

上記の手順 a) と b) によって制限されたチャネル間の移動 (禁止ターン) を使用しない最短経路をダイクストラ法で探索する．

このとき複数の代替経路が発見される可能性がある．固定型ルーティングにおいては，複数の代替経路の中から単一の経路を選択する必要があるため，経路選択のポリシーとして *random* などの経路選択アルゴリズム [8] が利用できる．

[定理] XNoTs 向けに上記のステップ a) ~ c) にしたがって設計されたルーティングはデッドロックフリーを保証する．

[証明] 以下の (1) ~ (3) により本ルーティングは循環依存を形成しない．したがって，デッドロックフリーである．

(1) ステップ a) より，単一 tier 内のパケット転送はデッドロックフリーである．よって，tier 内に循環依存は生じない．

(2) ステップ b) より，tier 間のパケット転送は大きい番号の tier から小さい番号の tier への移動のみが許可されている．よって，tier 間に循環依存は生じない．

(3) pillar router はクロスバスイッチであるため，単一 pillar 内の通信に循環依存は生じない．

すべての tier で同じ形状のトポロジを採用する対称な XNoTs ではルーティングアルゴリズムをさらに簡略化できる。つまり、対称な XNoTs ではすべての NoT がすべてのコアへの最短経路を提供できるため、pillar router が経路選択アルゴリズムに基づいて単一の tier を指定するだけでルーティングが可能となる。

また、一部の通信のみ FIFO 性を要求する場合、ある tier では固定型ルーティング、別の tier では適応型ルーティングを用いるなど複数のルーティングアルゴリズムを XNoTs 内に混載できる。例えば、最下位 NoT で次元順ルーティング、それ以外の NoT で Duato's protocol を用いるものとし、FIFO 性の要る通信は最下層を、残りはそれ以外の層を使う。こうすれば FIFO 性を保証しつつも高い性能が期待できる。この場合は、pillar router がパケット毎にどの層の NoT を使うかを決定する。

3.3 レイアウトと実装

同一 pillar 上の計算コアは図 5 に示したように pillar router によって垂直に結合される。このとき tier 間リンクの距離は非常に短いため、XNoTs ではコアごとにネットワークインターフェイス (NI) を持たせる必要はない。そこで、pillar router と pillar 内のすべての NI を統合して単一の NI として実装する。つまり、XNoTs における NI の数は pillar と同数となり、各 NI のポート数は tier の数を n とするとき $2n$ 個となる。

この場合、NI の面積が通常のルータ並に大きくなるため、文献 [1] に示されているルータの分割方法で NI を各 tier に分散配置する。NI の分散配置によって tier 間リンクの数が増加し、結合網の面積が増える。この影響については 4.5 節にて検証する。

4. 評価

本論文で提案した XNoTs (X-mesh, X-torus, X-ft141, X-ft241, X-ft441) を 3D-mesh および 3D-torus と比較する。評価項目はスループットの理想値、平均ホップ数、シミュレーションによる実スループット、ルータ数、面積、消費エネルギーとする。

4.1 スループットの理想値

スループットの理想値 Θ_{ideal} は次の関係式で表される [7]。

$$\Theta_{ideal} \leq \frac{2bB_c}{N} \quad (1)$$

ただし、 N をコア数、 b をチャンネル当たりの帯域、 B_c を channel bisection とする。

3次元トポロジにおいて、トポロジを垂直方向に 2 等分したとき水平方向の channel bisection を B_{ch} とし、水平方向に 2 等分したときの垂直方向の channel bisection を B_{cv} とする。3次元トポロジの channel bisection は B_{ch} と B_{cv} の小さいほうに制限されるため $B_c = \min(B_{ch}, B_{cv})$ である。

表 1 Channel bisection B_c ($N = 2^i \times 2^j$)

	N -core \times n -tier	16-core \times 1-tier	16-core \times 4-tier
X-ft141	$\min(4n, nN)$	4 (4, -)	16 (16, 64)
X-ft241	$\min(2^{i+1}n, nN)$	8 (8, -)	32 (32, 64)
X-ft441	$\min(4^i n, nN)$	16 (16, -)	64 (64, 64)
X-mesh	$\min(2^{i+1}n, nN)$	8 (8, -)	32 (32, 64)
X-torus	$\min(2^{i+2}n, nN)$	16 (16, -)	64 (64, 64)
3D-mesh	$\min(2^{i+1}n, 2N)$	8 (8, -)	32 (32, 32)
3D-torus	$\min(2^{i+2}n, 4N)$	16 (16, -)	64 (64, 64)

表 1 に各種 XNoTs と 3D-mesh および 3D-torus の B_c を示す。括弧内に (B_{ch}, B_{cv}) の組みも示してある (tier 数が 1 のとき B_{cv} は存在しないため「-」と記した)。X-ft441, X-torus, 3D-torus の B_c は一緒であるため、スループットの理想値も同じ

である。同様に X-ft241, X-mesh, 3D-mesh の理想スループットも同じである。これらの結果は 4.3 節にてフリットレベル・ネットワークシミュレータを用いて確認する。

4.2 平均ホップ数

平均ホップ数は通信遅延やパケットの転送エネルギーに影響を与える。ここでは uniform トラフィックにおけるルータの平均経由数を H_{rt} とし、NI の平均経由数を H_{ni} とする。

表 2 ルータの平均経由数 H_{rt} (括弧内の数字は NI の平均経由数 H_{ni})

	routing	16-core \times 1-tier	16-core \times 4-tier
X-ft †	up*/down*	2.60 (2.00)	2.48 (1.95)
X-mesh	DOR	3.67 (2.00)	3.54 (1.95)
X-torus	DOR	3.13 (2.00)	3.03 (1.95)
3D-mesh	DOR	3.67 (2.00)	4.81 (2.00)
3D-torus	DOR	3.13 (2.00)	4.05 (2.00)

†X-ft はツリーベース XNoTs (X-ft141, X-ft241, X-ft441) を表す。

表 2 に各種 XNoTs と 3D-mesh および 3D-torus の H_{rt} を示す。括弧内にそれぞれの H_{ni} も示した。tier の数が増えるにしたがい 3D-mesh と 3D-torus では H_{rt} が増加するが、XNoTs では H_{rt} が若干減少する。これは、XNoTs では送信元と宛先が同一 pillar に位置するとき、NI である pillar router を介して直接接続されるためである。

次に NI の平均経由数について考察する。3D-mesh と 3D-torus の H_{ni} は常に 2 である (送信元と宛先の NI を通過するため)。一方、XNoTs では送信元と宛先が同一 pillar 内の場合は 1、それ以外の場合は 2 であるため、XNoTs の H_{ni} は 2 以下となる。

以上より、X-mesh や X-torus の平均ホップ数は 3D-mesh や 3D-torus より有利であることが分かる。つまり、これらの XNoTs は 3D-mesh や 3D-torus よりパケット転送エネルギーの点で有利であると考えられる。これについては 4.6 節にて検証する。

4.3 スループットの実測値

提案した XNoTs トポロジのスループットを測定するためにフリットレベルシミュレータを用いた。各ルータのスイッチング機構として、I/O バッファ、クロスバ、アービタを単純化したモデルを採用し、ヘッダフリットが隣接ルータまたは計算コアに転送されるのに 3 サイクルかかるものとした。パケット転送には wormhole 方式を用い、各チャンネルには 1-flit 分のバッファを持たせた。パケット長はヘッダ 1-flit 分を含め 16-flit とした。これらのパラメータは以降の評価で用いるルータ回路に対応している。トラフィックパターンには uniform トラフィックを用いた。

表 3 各トポロジにおけるルーティングアルゴリズム

	routing	routing type	VC 数	path selection
X-ft †	up*/down*	適応型	1	N/A
X-mesh	DOR	固定型	1	random
X-torus	DOR	固定型	2	random
3D-mesh	DOR	固定型	1	N/A
3D-torus	DOR	固定型	2	N/A

†X-ft はツリーベース XNoTs (X-ft141, X-ft241, X-ft441) を表す。

シミュレーションに使用したルーティングアルゴリズムを表 3 にまとめる。メッシュおよびトラススペースのネットワークでは次元順ルーティング (DOR) を用い、ツリーベースのネットワークでは up*/down* ルーティングを用いた。XNoTs ではパケット転送の際に任意の tier を選択できる。つまり、XNoTs では複数の代替経路が利用できるため、XNoTs で固定型ルーティングを実現する際にはランダムに単一の経路を選択するようにした。

まず、X-mesh と 3D-mesh、および、X-torus と 3D-torus を比較する。図 7 に 16-core \times 1-tier と 16-core \times 4-tier の場合のスループットとレイテンシを示す。グラフより、X-mesh と

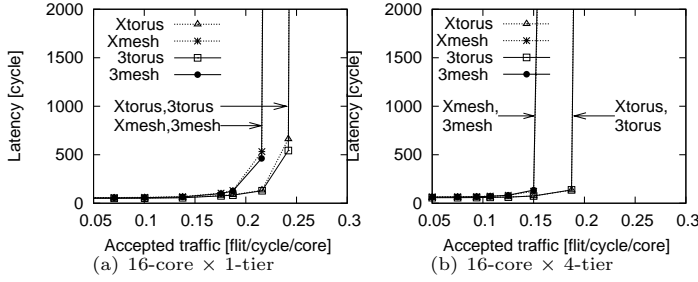


図7 メッシュベースおよびトーラスベース XNoTs の性能

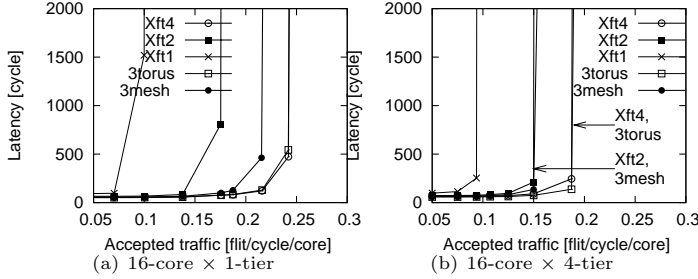


図8 ツリーベース XNoTs の性能

表4 ルータの個数 ($N = 2^i \times 2^i$ 、括弧内の数字はポート数)

	N -core \times n -tier	16-core \times 1-tier	16-core \times 4-tier
X-ft141	$n(4^i - 1)/3$	5 (5)	20 (5)
X-ft241	$n(4^i - 2^i)/2$	6 (6)	24 (6)
X-ft441	$n(4^{i-1}i)$	8 (8)	32 (8)
X-mesh	nN	16 (5)	64 (5)
X-torus	nN	16 (5)	64 (5)
3D-mesh	nN	16 (7)	64 (7)
3D-torus	nN	16 (7)	64 (7)

表5 NI の個数 ($N = 2^i \times 2^i$ 、括弧内の数字はポート数)

	N -core \times n -tier	16-core \times 1-tier	16-core \times 4-tier
XNoTs	N	16 (2)	16 (8)
3D-mesh	nN	16 (2)	64 (2)
3D-torus	nN	16 (2)	64 (2)

3D-mesh, および, X-torus と 3D-torus がそれぞれ同じ性能を実現していることが分かる。次に, 図7 にツリーベースの XNoTs におけるスループットとレイテンシのグラフを示す。比較のため 3D-mesh と 3D-torus の性能もプロットしてある。期待どおり, ツリーベース XNoTs の中では X-ft441 の性能が最も高く, X-ft441 の性能は 3D-torus や X-torus と同等となった。この結果は 4.1 節で解析したスループットの理想値と一致している。

4.4 ルータおよび NI の個数

ルータの個数は結合網の面積や実装コストに影響を与える。

XNoTs を含む各種 3次元トポロジにおいて必要なルータの個数を表4に示す。括弧内には各トポロジにおけるルータのポート数(次数)を記した。3D-mesh と X-mesh において必要なルータの個数は同じであるが, ルータの次数に関しては X-mesh が5であるのに対し, 3D-mesh は7と大きい。これは X-torus と 3D-torus についても同様である。また, ツリーベース XNoTs のルータの個数は 3D-mesh や 3D-torus の半分以下となった。

XNoTs の pillar router はネットワークインターフェイス(NI)に含まれるが, 表4はNIの面積を考慮していない。NIの個数およびポート数を表5にまとめる。表より, XNoTs に必要なNIの数は pillar の数と同数であり, n を tier の数としたとき NI のポート数は $2n$ 個である。

X-mesh と 3D-mesh, および, X-torus と 3D-torus を比べたとき, XNoTs のほうが NI の面積が大きくなるが, 結合網の面積の大部分を占めるルータの次数は小さい。そのため XNoTs の

ほうが面積の点で有利になる可能性がある。次節では実際のルータおよび NI 回路を用いて結合網の面積を比較する。

4.5 結合網の面積

3次元 NoC における結合網の面積はルータ回路, NI 回路, 貫通ビアによって決まる。まず, Verilog-HDL で記述されたルータ回路と NI 回路を組み合わせることで対象トポロジを tier ごとに分けて実装, 各 tier のトポロジを $0.18\mu\text{m}$ スタンダードセルライブラリを用いて Synopsys 社の Design Compiler で合成することでルータ回路と NI 回路の面積を見積もった。そして, この面積に貫通ビアの面積を加えて結合網の総面積とした。

本評価では文献[9]の 32-bit wormhole ルータ回路を用いた。このルータ回路は4段のパイプラインステージから構成され, 各ステージごとに 1-flit 分のバッファを持つ。

公平な比較のため, XNoTs の NI は $2n$ 個のポートを持つ通常のルータとして実装した(ただし, n を tier の数とする)。一方, 3D-mesh と 3D-torus の NI は, 2-flit 分の FIFO を入力側と出力側にそれぞれ持たせるだけの単純なものとした。

貫通ビアのサイズは tier を重ね合わせる際のアライメント精度によって制限され[4], $1\mu\text{m}$ 角 $\sim 10\mu\text{m}$ 角と報告されている[2]~[4]。そこで, 本評価では 1-bit の単方向 tier 間リンクが1枚の tier を貫通する度に, 貫通ビアの面積として $25\mu\text{m}^2$ を加えた。

このようにして見積もった結合網の面積を図9(a)と図10(a)に示す。前者は 16-core \times 1-tier のとき, 後者は 16-core \times 4-tier のときの結果である。ルータ回路, NI 回路, 貫通ビアの面積はそれぞれ異なる色で塗り分けてあり, 総面積に占める貫通ビアの面積の割合も記した。XNoTs では垂直リンクがクロスバとして実装されるため, 貫通ビアの量は 3D-mesh や 3D-torus より多くなった。一方, X-mesh および X-torus におけるルータの面積は 3D-mesh および 3D-torus よりそれぞれ小さい。これは, 4.4 節で解析したとおり, X-mesh と X-torus におけるルータの次数が 3D-mesh や 3D-torus より小さいためである。以上より, 4層の X-mesh の総面積は 3D-mesh より 3.4% 小さく, 4層 X-torus の総面積は 3D-torus より 12.3% 小さくなった。

4.6 消費エネルギー

1-flit のデータを送信元から宛先コアに転送するときに要す平均転送エネルギーを E_{flit} とする。これは次式で計算できる[10]。

$$E_{flit} = wH(E_{sw} + E_{link}) \quad (2)$$

ただし, w を 1-flit のビット幅, H をルータおよび NI の平均経由数 ($H = H_{rt} + H_{ni}$), E_{sw} をルータまたは NI が 1-bit のデータ転送に消費するエネルギー, E_{link} をリンクが 1-bit のデータ転送に消費するエネルギーとする。

4.5 節において, $0.18\mu\text{m}$ プロセスを用いて合成したルータおよび NI を, 250MHz での動作を仮定してゲートレベルでシミュレーションした。その結果, ルータの E_{sw} は 1.13pJ となった。一方, E_{link} は次式で計算できる。

$$E_{link} = dV^2C_{wire}/2 \quad (3)$$

ただし, d を 1-hop 当たりの平均距離, V を動作電圧, C_{wire} を配線容量とする。本評価では $0.18\mu\text{m}$ プロセスを仮定しており V は 1.8V , C_{wire} は $414\text{fF}/\text{mm}$ とした[11]。1-hop の平均距離 d はコアのサイズによって決まる。ここでは細粒度の場合(コアサイズ 1.5mm 角)と粗粒度の場合(コアサイズ 3.0mm 角)を想定する。加えて, 貫通ビアの容量は文献[2]より 4.34fF とした。

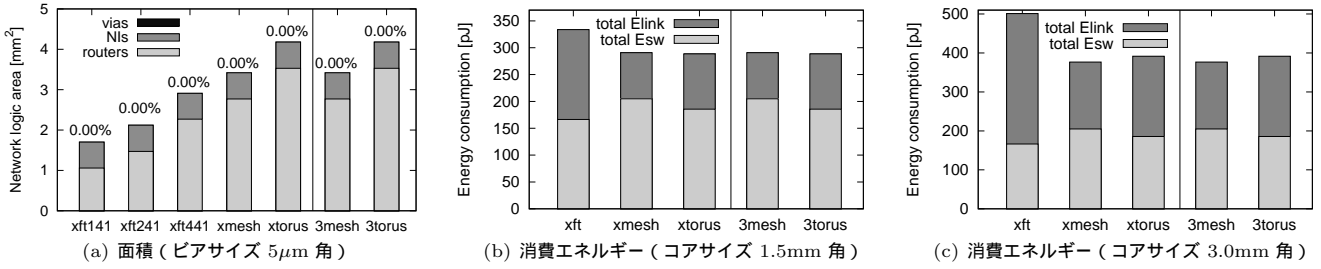


図9 結合網の面積と消費エネルギー（16-core × 1-tier の場合）

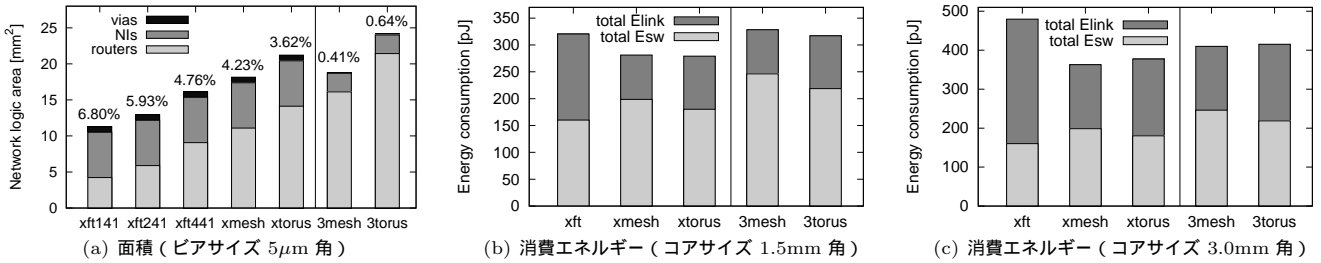


図10 結合網の面積と消費エネルギー（16-core × 4-tier の場合）

これは本評価で仮定している配線 $10.5\mu\text{m}$ 分の容量に相当する。

上記のパラメータをもとに各種 XNoTs と 3D-mesh および 3D-torus の E_{flit} を計算した。コアサイズを 1.5mm 角としたとき、1層の場合の結果を図9(b)に、4層の場合の結果を図10(b)に示す。ルータとNIで消費されたエネルギー（total E_{sw} ）とリンクで消費されたエネルギー（total E_{link} ）を別々の色で記した。3D-torus と 3D-mesh では、3D-torus のほうが畳み込みレイアウトによって d が長いがその分平均ホップ数が小さいので、結果的に同程度の E_{flit} となった。4層の X-mesh では、 E_{link} は 3D-mesh と同程度となったものの、平均ホップ数が小さいために X-mesh の E_{flit} は 3D-mesh より 14.3% 小さくなった。X-torus についても 3D-torus より消費エネルギーが 12.0% 小さくなった。

コアサイズを 3.0mm 角としたときの結果を図9(c)と図10(c)に示す。 1.5mm 角のときと比べて E_{link} のウェイト大きくなっているが、 1.5mm 角のときと同じ理由で X-mesh/X-torus は 3D-mesh/3D-torus よりも E_{flit} が小さくなった。

5. まとめ

3次元 NoC のネットワークトポロジは、現状では、3D-mesh を除きあまり検討されておらず、トポロジ選択の余地が狭い。そこで、本論文では3次元 NoC 向けに XNoTs を提案した。XNoTs ではメッシュやトーラス、ツリーなど任意の形状の平面トポロジを組み合わせたことができるため、トポロジ構築の自由度が高い。

XNoTs の例として、メッシュを内包した X-mesh、トーラスを内包した X-torus、ツリーを内包した X-ft141, X-ft241, X-ft441 を示し、これらをスループット、平均ホップ数、ルータの個数、結合網の面積、消費エネルギーについて評価した。その結果、

- X-torus は 3D-torus と同等の性能をより小さい面積で実現でき、消費エネルギーの点でも 3D-torus より有利となった。
- X-mesh の面積性能比は 3D-mesh とほぼ同等であったが、消費エネルギーの点で 3D-mesh より有利になった。
- ツリーベースの X-ft441 は最も高い面積性能比を実現したが、コアのサイズが大きくなるにしたがいパケットの移動距離が増え、消費エネルギーの点で不利となった（図10(c)）。

以上より、XNoTs は任意の平面トポロジを重ね合わせることが

できるという柔軟性を備えつつも、既存の3次元トポロジと同程度、または、それ以上の面積性能比を実現できることが分かった。

すでに多くの3次元 IC が実用化されているものの3次元化の問題点として、歩留まりの低下や放熱の難しさなどが指摘されている[2]。これらの問題が緩和されれば、本論文で提案した3次元トポロジがより実用的になると考えられる。

文 献

- [1] W. J. Dally and B. Towles: "Route Packets, Not Wires: On-Chip Interconnection Networks", Proceedings of the Design Automation Conference, pp. 684–689 (2001).
- [2] W. R. Davis and et. al.: "Demystifying 3D ICs: The Pros and Cons of Going Vertical", IEEE Design and Test of Computers, **22**, 6, pp. 498–510 (2005).
- [3] F. Li and et. al.: "Design and Management of 3D Chip Multiprocessors Using Network-in-Memory", Proceedings of the International Symposium on Computer Architecture, pp. 130–141 (2006).
- [4] S. Das and et. al.: "Technology, Performance, and Computer-Aided Design of Three-Dimensional Integrated Circuits", Proceedings of the International Symposium on Physical Design, pp. 108–115 (2004).
- [5] C. Addo-Quaye: "Thermal-Aware Mapping and Placement for 3-D NoC Designs", Proceedings of the International System-on-Chip Conference, pp. 25–28 (2005).
- [6] N. Tanabe and et. al.: "Base-m n-Cube: High Performance Interconnection Networks for Highly Parallel Computer PRODIGY", Proceedings of the International Conference on Parallel Processing, pp. 509–516 (1991).
- [7] W. J. Dally and B. Towles: "Principles and Practices of Interconnection Networks", Morgan Kaufmann (2004).
- [8] M. Koibuchi, A. Jouraku and H. Amano: "Path Selection Algorithm: The Strategy for Designing Deterministic Routing from Alternative Paths", PARALLEL COMPUTING, **31**, 1, pp. 117–130 (2005).
- [9] 松谷, 鯉淵, 天野: "オンチップトーラス網における仮想チャネルフリールーティング", 情報処理学会論文誌コンピューティングシステム, **47**, SIG 12, pp. 12–24 (2006).
- [10] H. Wang, L.-S. Peh and S. Malik: "A Technology-Aware and Energy-Oriented Topology Exploration for On-Chip Networks", Proceedings of the Design, Automation and Test in Europe Conference, pp. 1238–1243 (2005).
- [11] R. Ho, K. W. Mai and M. A. Horowitz: "The Future of Wires", Proceedings of the IEEE, **89**, 4, pp. 490–504 (2001).