

オンチップルータにおける仮想チャネル単位の走行時パワーゲーティング

松谷 宏紀[†] 鯉 淵 道 紘^{††}
王 代 涵[†] 天 野 英 晴[†]

オンチップルータはチップ内の通信インフラであるためスタンバイ時であっても完全に停止させることは難しく、省電力対策が進んでいるプロセッサコアと比べるとスタンバイ電力が大きい。そのため、Network-on-Chip (NoC) の動作に支障の無い範囲内で、ルータの入力バッファを走行時パワーゲーティングする手法が NoC の省電力化のために有効であると考えられる。そこで、本論文では仮想チャネル単位で入力バッファをパワーゲーティングする。仮想チャネル 0 番 (VC0) のみ常に活性化させておき、他のパケットも最初 VC0 を用いて転送を開始、経路上で他パケットと衝突する度に仮想チャネル番号を 1 つずつインクリメントしていく。低負荷時は VC0 のみアクティブであるが、負荷が高くなるにしたがいパケット同士が衝突する機会が増えるので、残りの仮想チャネルが徐々に活性化される。実トラフィックを用いたシミュレーションの結果、提案手法によってピークスルーput 時においても 47.3% - 64.1% のリーク電力を削減でき、小さなスタンバイ電力で高いピーク性能を実現できることが分かった。

Runtime Power Gating of Virtual Channels for On-Chip Routers

HIROKI MATSUTANI,[†] MICHIMIRO KOIBUCHI,^{††} DAIHAN WANG[†]
and HIDEHARU AMANO[†]

Since on-chip routers in Network-on-Chips (NoCs) play a key role in on-chip communication between cores, they should be always active for preparing for packet injections even if cores are in standby mode, resulting in a larger standby power of routers compared with cores. The run-time power gating of individual virtual channels in a router is one of attractive solutions to reduce the standby power of chip without affecting the on-chip communication. In this paper, we propose a sleep control method and a packet routing method for the virtual-channel level power gating to achieve a high peak performance with a low standby power of routers. All packets are injected into the network via the virtual-channel number 0 (VC0), which always stays in the active mode. Then the packet increments its virtual-channel number whenever it conflicts with other packets on the original virtual channel. Thus only the VC0 is activated at the low traffic load, while the other virtual channels are additionally activated as the traffic load increases. Simulation results using real application traces show that the proposed method can save the leakage power of each channel by 47.3%-64.1% even at the peak performance.

1. はじめに

半導体技術の進歩によって単一チップ上にプロセッサやメモリ、I/O など複数の設計モジュールをタイル状に実装できるようになり、このようなタイル同士の結合に Network-on-Chip (NoC) が用いられるようになった。

タイルアーキテクチャの主要なアプリケーションは組込み機器であり、携帯機器や情報家電などへの応用が期待される。このような用途においては、バッテリー寿命を延ばすため、また、パッケージングや放熱にかかるコスト削減のため、ほぼすべての用途において消費電力の削減が求められている。

消費電力はスイッチング電力とリーク電力に大別され、スイッチング電力の削減にはクロックゲーティングやオペランドアイソレーション、リーク電力の削減にはパワーゲーティング等の技術が適用される。リーク電力に関しては、回路が動

作していなくても電源が供給されている限り電力を消費してしまううえに、半導体技術の微細化にともない、全消費電力に占めるリーク電力の割合が近年著しく増加している。

このような状況を背景に、とりわけ、プロセッサコアにおけるリーク電力の削減が広く研究されており、文献 1) では携帯電話向けプロセッサのリーク電流を 11 μ A まで抑えることに成功している。このようにプロセッサコアの省電力対策が進むほど、オンチップルータのリーク電力が目立ってくる。したがって、コアのパワーゲーティングが行われるような環境ではルータのパワーゲーティングも同様に必須である。

ルータの省電力化の例として、文献 2) では Drowsy キャッシュを用いて入力バッファのリーク電力を削減している。文献 3) では、動的にリンクの電力をシャットダウンする際のルーティングアルゴリズムについて検討している。ただし、これらの研究ではキャッシュメモリのような比較的大きなバッファをルータに持たせることを想定している。一方、文献 4)5) で用いられるような NoC 向けの小規模なワームホールルータの場合、パワーゲーティングの際のウェイクアップ時間およびレジャー時間が通信性能に直に影響を及ぼす可能性がある。

近年、NoC 向けの小規模なワームホールルータにおいても仮想チャネル⁶⁾を持つ例が増えている⁴⁾⁵⁾。仮想チャネルを持つことで head-of-line ブロッキングによるパケットの先詰ま

本研究は、科学技術振興機構「JST」の戦略的創造研究推進事業「CREST」の支援による。また、本研究は東京大学大規模集積システム設計教育研究センターを通し、ローム(株)・凸版印刷(株)・シノプシス株式会社・日本ケイデンス株式会社の協力で行われた。

[†] 慶應義塾大学大学院 理工学研究科

Graduate School of Science and Technology, Keio University

^{††} 国立情報学研究所

National Institute of Informatics

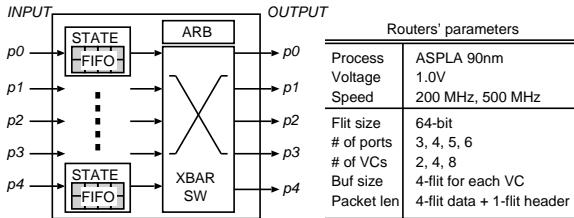


図1 ルータの概略図と実装パラメータ。

りを緩和でき性能は向上するが、同時に必要なバッファ量が増えるため、仮想チャネル機構はスタンバイ電力の点で不利であると考えられてきた。しかし、仮想チャネル単位でパワーゲーティングを施し、負荷に応じて仮想チャネルを慎重に活性化していけば、少ないスタンバイ電力で高いピーク性能を実現できる可能性がある。そこで、本論文では仮想チャネルを複数持つ小規模なオンチップルータを対象に、仮想チャネル単位の段階的パワーゲーティングを行う。

本論文の構成は次のとおりである。まず、2章にてオンチップルータの消費電力を解析し、チャネルの走行時パワーゲーティングが有効なことを示す。3章では走行時パワーゲーティングのための技術を紹介し、4章にて仮想チャネル単位の段階的パワーゲーティングのためのスリープ制御とルーティングを提案する。5章で評価を示し、6章で本論文をまとめる。

2. オンチップルータの消費電力

本章では、文献4)と同様の方法を用いてオンチップルータの消費電力を解析する。

2.1 オンチップルータの構造

消費電力の解析のために、文献5)のワームホールルータをもとに典型的な仮想チャネルルータ回路を90nmスタンダードセルライブラリを用いて実装した。

図1に実装したルータ回路の概要を示す。このルータは入力バッファ、クロスバ、アービタ回路から構成されており、物理チャネル当たり2~8本の仮想チャネルを持つ。フリット幅は64-bitとし、仮想チャネルごとに4-flit分の入力バッファを持つ。ルータ面積の約67%を入力バッファが占めている。

このルータは3段のパイプラインステージから構成される。入力されたヘッダフリットは1) routing computation (RC) ステージで出力ポートを計算、仮想チャネルを割り当てられ、2) switch allocation (SA) ステージで出力ポートの調停を行い、3) switch traversal (ST) ステージにて隣接ルータへ転送される。各ステージの機能は文献6)のルータと同じである。

2.2 消費電力の解析結果

上記のルータの消費電力を求めるために、1) Design Compilerでルータ回路を合成、2) Astroで配置配線(CTSでバッファを挿入)、3) Verilog-XLで配置配線後シミュレーションを行いSwitching Activity Interchange Format (SAIF)を生成し、4) Power CompilerでこのSAIFをもとに消費電力を解析した。なお、クロックゲーティングやオペランドアイソレーション等の省電力対策は十分に施してある。

手順3)では一定のトラフィック負荷を与え、200~500MHzで配置配線後シミュレーションを行った。文献4)に倣い、リンクの最大帯域の30%の負荷になるように一定間隔で注入されるパケットの流れをstreamと呼ぶ。ここでは、 n 個のポートを持つルータに対し、0から n 本のstreamを与えたときの消費電力を見積もった。ただし、 $3 \leq n \leq 6$ とする。

仮想チャネルを4本持たせたルータを200MHzで動作させたときの結果を図2に示す。当然、負荷が高くなるにしたが

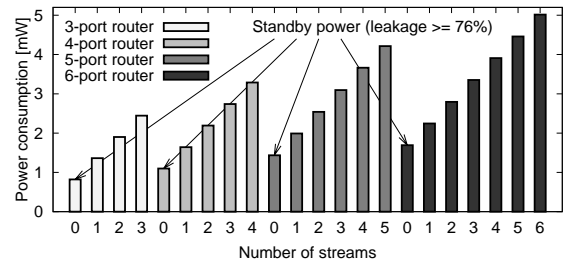


図2 負荷を与えたときのルータの消費電力(200MHz動作, VC数4本)。

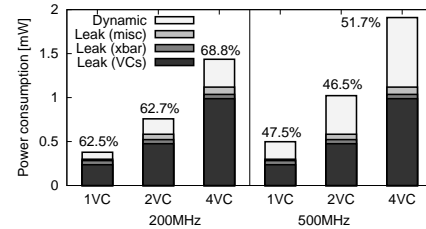


図3 5ポートルータのスタンバイ電力(200/500MHz動作, VC数4本)。

い消費電力が増えるが、スタンバイ時(stream数が0のとき)においても一定の電力が消費されている。図3に5ポートルータを200MHzと500MHzで動作させたときのスタンバイ電力の内訳を示す。スタンバイ電力の46.5%~68.8%をチャネルバッファのリーク電力が占めている。また、わずかに消費されている動的電力も、クロックゲーティング用に挿入されたラッチによるものであるためこれ以上の削減は難しい。

1章で述べたとおり、コアは使用されなければ完全に停止させることができるが、ウェイクアップにmsecオーダの時間がかかる¹⁾ため、通信インフラであるオンチップルータをこの方法で停止させることは難しい。省電力対策が進んでいるコアのスタンバイ電力¹⁾と比べると、上記のルータのスタンバイ電力はかなり大きい。NoCの動作に支障の無い範囲内でルータのリーク電力を減らす必要がある。以上より、オンチップルータの各仮想チャネルを走行時に動的にパワーゲーティングする手法がNoCの省電力化のために有効と考えられる。次章では走行時パワーゲーティングについて調査する。

3. 走行時パワーゲーティング

パワーゲーティングでは、スリープ対象の回路とVddラインの間、もしくは、スリープ対象の回路とGNDラインの間にスリープトランジスタを挿入し、このスリープトランジスタをON/OFFすることで回路への電力供給を制御する。通常、何らかの方法でパワーゲーティング対象の回路のアイドル状態を検出し、その回路がアイドル状態の間だけ電源供給を遮断することでリーク電力を減らす。

3.1 パワーゲーティングの粒度

パワーゲーティング対象の回路の粒度は様々である。例えば、文献1)では携帯電話用プロセッサをコア単位でパワーゲーティングしている。これより粒度の細かい例として、文献7)ではマイクロプロセッサのALUやFPUなどの演算器レベルでパワーゲーティングを行っている。さらに、セル単位でスリープ制御を行っている例もある。本研究の目的はオンチップルータにおけるチャネル単位のパワーゲーティングであるため、粒度的に最も近いと考えられる演算器レベルでのパワーゲーティングに着目することにする。

3.2 パワーゲーティングのコストモデル

パワーゲーティングでは、リーク電力削減の見返りとしてコストを払うことになる。実際、パワーゲーティングのため

にパワースイッチを挿入する必要があり回路面積が増大する。また、スリープ中の回路をウェイクアップさせるには一定の遅延がかかるため性能に影響が出るうえに、スリープ操作およびウェイクアップ操作のためにエネルギーが消費されるため、短期間のパワーゲーティングは逆に消費電力の増加を招く。

文献 7) では、演算器レベルのパワーゲーティングのコストモデルを提案している。このモデルでは、次の 3 つのパラメータがパワーゲーティングの性能や消費電力に影響を与える。

- T_{wakeup} : スリープ中の回路が再び使われることを検出し、回路への電源供給を再開、実際に動作可能になるまでのサイクル数。
- $T_{idledetect}$: 動作中の回路が今後しばらく使われないことを検出し、パワースイッチを操作して回路への電源供給を止めるまでのサイクル数。
- $T_{breakeven}$: パワーゲーティングによるリーク電力の削減量が、パワースイッチ操作に要すオーバーヘッドエネルギーより大きくなる最小のサイクル数 (損益分岐点)。

スリープ中の回路にデータが来ると T_{wakeup} サイクルだけ待たされる (パイプラインストール) ので T_{wakeup} は性能に影響を与える。また、 $T_{idledetect}$ が長いと、スリープするかどうかの判断に時間がかかり実際にスリープできる期間が減る。

$T_{breakeven}$ がパワーゲーティング適用の損益分岐点となる。パワーゲーティングできる期間が $T_{breakeven}$ より長ければパワーゲーティングによって消費電力が減るが、 $T_{breakeven}$ より短ければパワーゲーティングによって電力が増えてしまう。

文献 7) では、この $T_{breakeven}$ を求める計算式を提案している。この計算式は次の 3 ステップから成る。1) N サイクル間スリープすることで削減できるリークエネルギーの合計値 (E_{saved}^N) を計算する。2) パワースイッチの ON/OFF 操作に要すエネルギー ($E_{overhead}$) を計算する。3) E_{saved}^N と $E_{overhead}$ が等しくなる N の値を求める。こうして求めた N の値が $T_{breakeven}$ となる。 E_{saved}^N は次式で計算できる⁷⁾。

$$E_{saved}^N = E_{leak} \frac{DIBL}{mV_t} \frac{N^2}{2} \frac{\alpha LV_{dd}}{2(\frac{1}{2} + \frac{C_D}{C_S})} \quad (1)$$

ただし、 V_{dd} を供給電圧、 E_{leak} をパワーゲーティング対象回路 (本論文の場合はルータのチャンネル) のリークエネルギー、 E_{sw} を対象回路のスイッチングエネルギー、 $L = E_{leak}/E_{sw}$ 、 α を対象回路のスイッチング率とする。また、DIBL は drain-induced barrier lowering であり、ここでは 0.1 としている。 $V_t = kT/q \approx 25\text{mV}$ は熱電圧 (thermal voltage) であり、ここでは $m \approx 1.3$ としている。 W_H は対象回路に占めるパワースイッチの面積であり、ここでは 0.1 としている。 C_S は対象回路のスイッチング容量の合計、 C_D はパワースイッチを含むローカルの電源ライン容量の合計であり、ここでは $C_D/C_S = 0.5$ としている。 $E_{overhead}$ は次式で計算できる⁷⁾。

$$E_{overhead} \approx 2 \frac{W_H}{\alpha} E_{leak}. \quad (2)$$

文献 7) では、典型的なマイクロプロセッサの $T_{breakeven}$ は 10 サイクル前後であると報告している。本研究でも、以降の章において上記の式を用いて 2 章のオンチップルータの $T_{breakeven}$ を計算する。

4. 仮想チャンネル単位のスリープ制御

仮想チャンネルを複数持つオンチップルータを対象に、少ないスタンバイ電力で高いピーク性能を実現するために仮想チャンネル単位の段階的パワーゲーティングを行う。4.1 節でそのた

めのスリープ制御とルーティングを説明し、残りの節では複数の仮想チャンネルをどのように利用するかについて検討する。

4.1 基本

負荷が低いときは使用する仮想チャンネル数を限定し、負荷が高いときのみ仮想チャンネルをすべて利用するようにすれば、性能を落とさずに仮想チャンネルのスリープ期間を増やすことができる。本研究では、このために SAN や並列計算機向けに提案された Descending Layers ルーティング⁸⁾ を応用する。これは、パケット送信時には常に仮想チャンネル 0 番 (VC0) を用い、経路上で他パケットと衝突して待ちが発生する度に仮想チャンネル番号を 1 つずつインクリメントするルーティングである。低負荷時は VC0 のみアクティブであるが、負荷が高くなるにしたがいパケット同士が衝突する機会が増えるので、残りの仮想チャンネル (VC1 や VC2) が徐々に活性化される。

4.2 スリープ制御

この方法では必然的に VC0 の利用率が高く、仮想チャンネル番号が大きくなるにしたがい利用率が落ちていく。スリープ中の仮想チャンネルにパケットが到達すると、このパケットは前段のルータで T_{wakeup} の間だけ待たされ、このようなパイプラインストールが多発するとスルーット性能が悪化する。そこで、本研究では次の 2 種類のスリープ制御を考える。

- First ON: VC0 のみ常に ON とする。それ以外の VC はパケットが来たら ON、パケットが通過したら OFF。
- First ON/OFF: すべての VC においてパケットが来たら ON、パケットが通過したら OFF。

First ON では仮想チャンネル 1 つ分のリーク電力を減らすことはできなくなるが、 T_{wakeup} の影響を緩和することができる。一方、First ON/OFF では T_{wakeup} によって性能が劣化する。両者の性能と消費電力については 5 章で比較する。

仮想チャンネル数 4 本で First ON スリープ制御を用いる場合の例を図 4(a) に示す。VC0 のみ常に活性化されており、残りの VC1, VC2, VC3 はパケットが来たらウェイクアップ、各仮想チャンネルのパッファにデータが無くなり次第スリープを開始する。パケット注入時は T_{wakeup} の影響を受けない VC0 を用い、他パケットと衝突しなければ宛先まで VC0 を使い続けることができる。一方、経路上で他のパケットと衝突して待ちが発生すると、使用する仮想チャンネル番号を+1 する。VC1 はパケットが無ければ常にスリープしているため、VC1 を使うためにはウェイクアップ遅延がかかる。VC1 を使っている最中にさらに別のパケットと衝突すると、今度は VC2 を使う。ただし、VC3 の使用中にパケットが衝突してもこれ以上仮想チャンネルを切替えることはできない。

この例では VC0 のみ常に活性化させておいたが、 T_{wakeup} の影響をさらに軽減させるため、複数の仮想チャンネルを常に活性化させておくことも可能である。このような仮想チャンネルの構成方法については次節でさらに検討する。

4.3 仮想チャンネルのグループ化

図 4(a) の例では、VC0 ~ VC3 を 1 つの仮想チャンネルグループとして、このグループ内で仮想チャンネル番号を遷移させていた。一方、仮想チャンネルを複数のグループ (以下、レーンと呼ぶ) に分割し、パケットの宛先アドレスに応じて使用するレーンを振り分けることもできる。例えば、First ON スリープ制御においてレーン数が 2 のとき、図 4(b) に示すように、VC0 と VC2 を常に活性化させておき、宛先アドレスが偶数のパケットは VC0 → VC1 の順に遷移、宛先アドレスが奇数のパケットは VC2 → VC3 の順に遷移させることになる。極端な例として、図 4(c) のようにレーン数を 4 とし、すべての

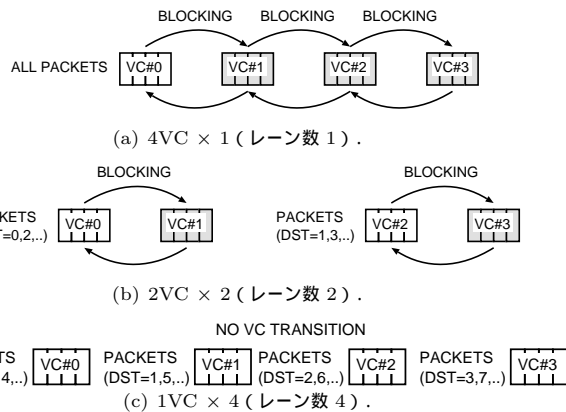


図4 仮想チャネルのグループ化の例 (VC数4本の場合)。

仮想チャネルを常に活性化させておくこともできるが、当然、リーク電力を減らすことはできなくなる。

仮想チャネル数を1本、2本、4本、8本としたとき、考えられる仮想チャネルのグループ化を以下にまとめる。

- VC数1本: 1VCx1
- VC数2本: 2VCx1, 1VCx2
- VC数4本: 4VCx1, 2VCx2, 1VCx4
- VC数8本: 8VCx1, 4VCx2, 2VCx4, 1VCx8

一般的に、“4VCx1”のようにレーン当たりの仮想チャネル数が多いほうが仮想チャネルの切替えができる分パケットの先詰まり (head-of-line ブロッキング) には強くなる。一方で、“1VCx4”のようにレーン当たりの仮想チャネル数を減らしてレーン数を増やしたほうが T_{wakeup} の影響は小さくなる。5章の評価では、上記すべてのグループ化手法のうちどれが性能と消費電力の点で効率が良いか明らかにする。

5. 評価

まず、5.1節で仮想チャネル単位でパワーゲーティングする際の電力パラメータを計算する。この値をもとに、5.2~5.3節で各種グループ化手法を性能と電力について評価し、5.4節で効率の良いグループ化方法について検討する。最後に、いくつかのグループ化手法を実トラフィックを用いて評価する。

5.1 準備: 損益分岐点の見積り

3.2節で紹介したコストモデルを用いて、仮想チャネル単位でパワーゲーティングする際の損益分岐点を計算する。

2.2節で示したルータの消費電力をもとに、まず、仮想チャネル1個当たりのリークエネルギー E_{leak} 、スイッチングエネルギー E_{sw} 、スイッチング率 α を抽出した。そして、仮想チャネル1個を N サイクルパワーゲーティングするときの消費電力 (リーク電力およびパワースイッチのON/OFF電力の和) を式1と式2を用いて計算した。

図5にこの計算結果のグラフを示す。グラフ中の“NoPG”はパワーゲーティングしないときの仮想チャネルのリーク電力である。一方、“PG(200MHz)”および“PG(500MHz)”は、それぞれ200MHzと500MHzで動作させたときの平均消費電力を示す。当然、スリープ時間 N が大きくなるにしたがい、パワースイッチをON/OFFする際に消費されるオーバーヘッドエネルギーの影響が小さくなるので、平均消費電力が減少する。PG(200MHz)とNoPGのラインが交差するときの N の値が200MHzで動作させたときの損益分岐点である。グラフより、200MHz動作の場合 $T_{breakeven} \approx 7$ 、500MHz動作の場合 $T_{breakeven} \approx 17$ となった。

表1 16コアのときの性能と物理チャネル当たりの平均リーク電力 [mW] ($T_{wakeup} = 5, T_{idledetect} = 25, T_{breakeven} = 17$)。

	First VC ON			First VC ON/OFF		
	thr	ene	thr/ene	thr	ene	thr/ene
1VC x 1	0.200	0.048	4.180	0.105	0.040	2.613
2VC x 1	0.235	0.081	2.897	0.160	0.070	2.280
1VC x 2	0.220	0.096	2.304	0.114	0.048	2.357
4VC x 1	0.250	0.104	2.400	0.166	0.086	1.928
2VC x 2	0.249	0.132	1.887	0.160	0.079	2.015
1VC x 4	0.217	0.191	1.137	0.117	0.052	2.272
8VC x 1	0.259	0.108	2.397	0.166	0.087	1.908
4VC x 2	0.265	0.158	1.683	0.167	0.095	1.746
2VC x 4	0.235	0.226	1.039	0.160	0.083	1.934
1VC x 8	0.265	0.383	0.692	0.143	0.079	1.804

表2 64コアのときの性能と物理チャネル当たりの平均リーク電力 [mW] ($T_{wakeup} = 5, T_{idledetect} = 25, T_{breakeven} = 17$)。

	First VC ON			First VC ON/OFF		
	thr	ene	thr/ene	thr	ene	thr/ene
1VC x 1	0.111	0.048	2.314	0.044	0.036	1.226
2VC x 1	0.122	0.086	1.414	0.091	0.074	1.226
1VC x 2	0.128	0.096	1.340	0.054	0.048	1.127
4VC x 1	0.200	0.143	1.397	0.148	0.123	1.199
2VC x 2	0.138	0.142	0.968	0.105	0.094	1.111
1VC x 4	0.137	0.192	0.715	0.060	0.061	0.982
8VC x 1	0.200	0.163	1.225	0.148	0.139	1.064
4VC x 2	0.210	0.201	1.047	0.157	0.149	1.052
2VC x 4	0.150	0.244	0.614	0.105	0.111	0.951
1VC x 8	0.133	0.383	0.347	0.040	0.055	0.726

5.2 スループット性能

First ON スリープ制御と First ON/OFF スリープ制御のそれぞれの場合において、4.3節で提案した10種類のグループ化手法を性能について比較する。

評価環境

評価のためにフリットレベルシミュレータを用いた。ルータのスイッチング機構として、I/Oバッファ、クロスバ、アービタを単純化したモデルを採用しており、2.1節で示したワームホールルータ回路と同じ挙動をするように設計した。ここでは4-flit分のデータに1-flit分のヘッダを付与したものを1パケットとし、ヘッダフリットが隣接ルータまたは計算コアに転送されるのに最低3サイクルかかるものとした。ネットワークポロジは 4×4 の2次元メッシュとし、ルーティングには次元順ルーティング⁶⁾を用いた。シミュレーションに用いる通信パターンとしてユニフォームトラフィックを用い、ノード数は16コアと64コアの場合を評価した。また、 T_{wakeup} は5サイクル、 $T_{idledetect}$ は25サイクルとした。

16コアの場合の性能を表1に、64コアの場合を表2に示す。各表において左側が First ON、右側が First ON/OFF の場合の結果であり、“thr”がスループット性能の値を表している。スループットの単位は [flit/cycle/node] である。

First ON vs. First ON/OFF

First ON と First ON/OFF スリープ制御の性能を比べると、圧倒的に First ON の性能が高い。例えば、16コアの1VCx1では First ON の性能は First ON/OFF より1.9倍高く、4VCx1でも First ON の性能は First ON/OFF より1.5倍高い (表1)。これは64コアの場合でも同じである (表2)。そのため、以降とくに断りがない限り First ON スリープ制御の利用を前提に議論を進める。

単一レーン vs. 複数レーン

一般的に、4VCx1のようにレーン当たりの仮想チャネル数が多いほうが仮想チャネルの切替えができる分パケットの先詰まりには強くなるが、1VCx4のようにレーン数が多いほうが T_{wakeup} の影響は小さくなる。

さて、表1および表2を見ると、仮想チャネル数が2本と

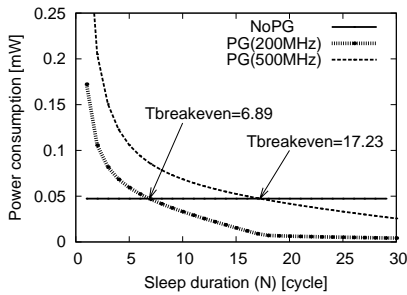


図5 スリープ時間 vs. 仮想チャネルのリーク電力.

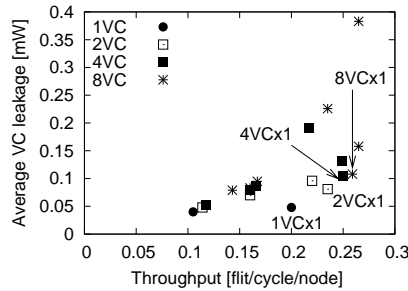


図6 性能 vs. 平均リーク電力 (16 コア).

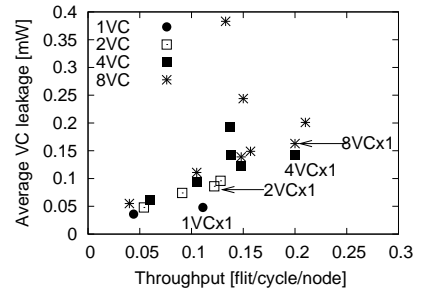


図7 性能 vs. 平均リーク電力 (64 コア).

4本のときは、レーン当たりの仮想チャネル数が多いほうが性能が良い。First ONの場合、 T_{wakeup} の影響を受けるのはVC0より上位の仮想チャネル(VC1など)だけであるが、これらはVC0と比較して利用率がそれほど高くなく5サイクルの T_{wakeup} が課される機会もそれほど多くはない。そのため、レーン当たりの仮想チャネル数を増やし、パケットの先詰まりを回避したほうが性能が高くなった。ただし、仮想チャネル数が8本の場合は8VCx1よりも4VCx2のほうが性能が良い。これは、8VCx1の場合、最上位の仮想チャネル(VC7など)の利用率が極端に低いため、より多くの仮想チャネルを有効に使える4VCx2のほうが有利な結果となった。

仮想チャネルの本数

表1の16コアの場合、仮想チャネル数を1本から2本に増やしたときの性能向上は大きいですが、2本から4本はそれほど大きくなく、4本から8本にしても変化はあまりない。一方、表2の64コアの場合、仮想チャネル数を1本から2本、2本から4本に増やしたときの性能向上は大きいですが、4本から8本にしてもほとんど変化がない。ネットワーク規模が大きければ平均ホップ数も大きく、パケットの先詰まりが起きる可能性も高くなるので、仮想チャネルを多く持つメリットも増える。そのため、16コアでは仮想チャネルは2本ないし4本、64コアでは仮想チャネルは4本が性能的に有利となった。

5.3 物理チャネル当たりの平均リーク電力

First ONスリープ制御とFirst ON/OFFスリープ制御のそれぞれの場合において、上記10種類のグループ化手法をリーク電力(オーバーヘッド電力も含む)について比較する。

評価環境

オーバーヘッド電力を含めたリーク消費電力を求めるため、前節と同じ方法でネットワークシミュレーションを実行し、各チャネルごとに発生したすべてのスリープの期間と回数を記録していった(例えば、10サイクルのスリープが3000回発生、11サイクルのスリープが3100回発生など)。そして、この情報を図5で示した「スリープ時間 vs. 消費電力」のグラフに当てはめ、各物理チャネルの平均リーク電力を見積もった。当然、 $T_{breakeven}$ より長いスリープが多ければリーク電力は減り、 $T_{breakeven}$ 未満のスリープが多ければ消費電力は増える。ここでは物理チャネルの平均リーク電力で比較するため、例えば、仮想チャネルが2本なら仮想チャネル2本分の電力、仮想チャネルが4本なら4本分の電力の和となる。

結果を表1と表2に示す。「ene」が物理チャネル当たりの平均リーク電力を表しており、単位は[mW]である。

First ON vs. First ON/OFF

First ONではレーンの最初の仮想チャネルが常に活性化している分、First ON/OFFより平均リーク電力が多い。

単一レーン vs. 複数レーン

First ONではレーン数が増えるにしたがい、常に活性化し

ている仮想チャネル数が増えるためリーク電力が増える。

仮想チャネルの本数

仮想チャネルを増やしたときの性能向上が大きければその分電力も増えるが、性能向上が小さければ電力も増えない。

5.4 性能 / 平均リーク電力

「性能 / 平均リーク電力」を「thr/ene」と記して表1と表2に示す。この値が大きければ電力効率が良いということになる。また、各種グループ化手法についてx軸に性能、y軸に平均リーク電力にとったグラフを図6と図7に示す。

以上より、First ON/OFFよりFirst ONスリープ制御のほうが電力効率が高く、16コアであれば2VCx1または4VCx1、64コアであれば4VCx1の効率が良いことが分かった。

5.5 実トラフィックパターンを使った評価

前節までの評価ではユニフォームトラフィックを用いたが、ここではNAS Parallel Benchmark(NPB)プログラムから得られた次の通信パターンを用いる:Block Tridiagonal solver(BT), Scalar Pentadiagonal solver(SP), Conjugate Gradient(CG), Multi-Grid solver(MG), large Integer Sort(IS)。ノード数は16とし、プログラムのクラスはすべて「W」とした。これらの通信パターンを用い、前節で比較的電力効率が高かった1VCx1, 2VCx1, 4VCx1をスループット性能と平均リーク電力について評価した。

スループットの評価結果を図8に、平均リーク電力の評価結果を図9に示す。この中では4VCx1の性能が最も高く、リーク電力も大きくなっている。リーク電力のグラフでは負荷が高くなるにしたがいリーク電力が増えている。これは負荷が高くなるにしたがいスリープできる機会が減るためである。

仮想チャネルを4本持つ場合、物理チャネル当たりのリーク電力はおおよそ0.2 mWである。4VCx1ではピーク性能時において、この35.9%~52.7%の平均リーク電力で動作していることになり、負荷が小さければ消費電力はさらに減る。

6. まとめ

仮想チャネル単位でパワーゲーティングを施し、負荷に応じて仮想チャネルを慎重に活性化していけば、少ないスタンバイ電力で高いピーク性能を実現できる。そこで、仮想チャネルを複数持つオンチップルータを対象に、仮想チャネル単位の段階的パワーゲーティング方法について検討した。

評価では、提案したグループ化方法を性能と電力で比較した。その結果、First ON/OFFよりFirst ONスリープ制御のほうが電力効率が高く、16コアであれば2VCx1または4VCx1、64コアであれば4VCx1の効率が良かった。実際、4VCx1ではピーク性能時において、物理チャネル当たりのリーク電力を47.3%~64.1%削減でき、負荷が小さければ消費電力はさらに減った。以上より、提案手法によって小さなスタンバイ電力で高いピーク性能が実現できたとと言える。

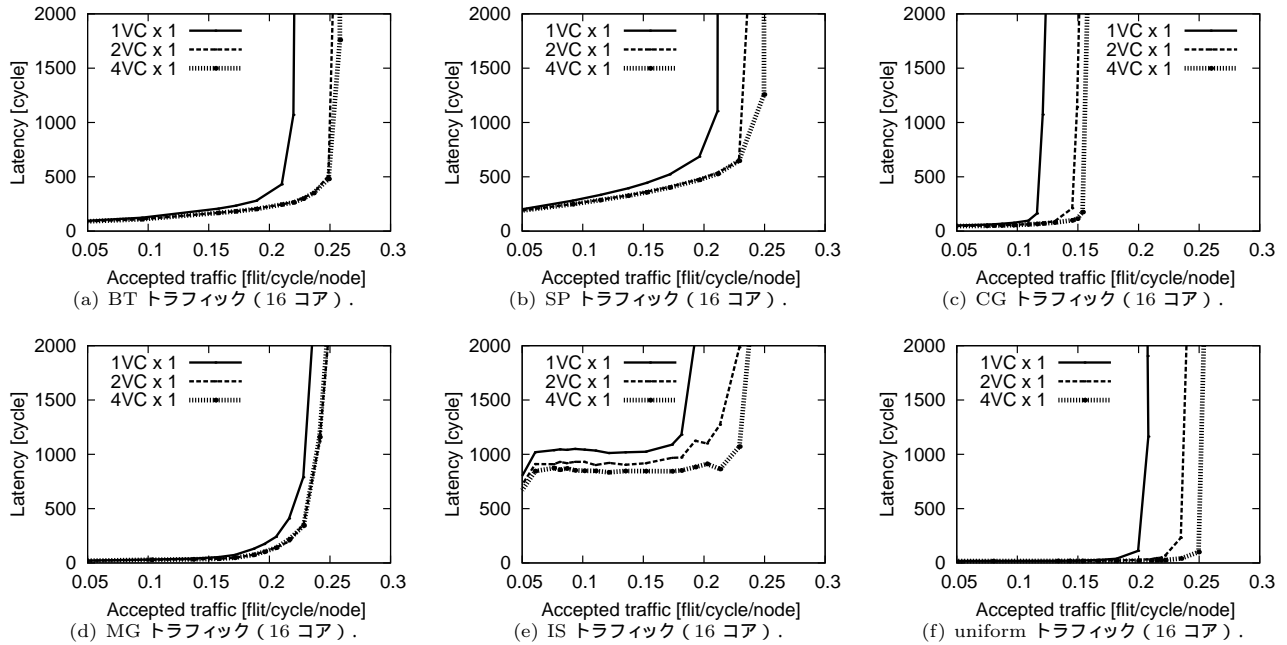


図 8 NPB トラフィックにおけるスループット性能 ($T_{wakeup} = 5$, $T_{idledetect} = 25$, $T_{breakeven} = 17$) .

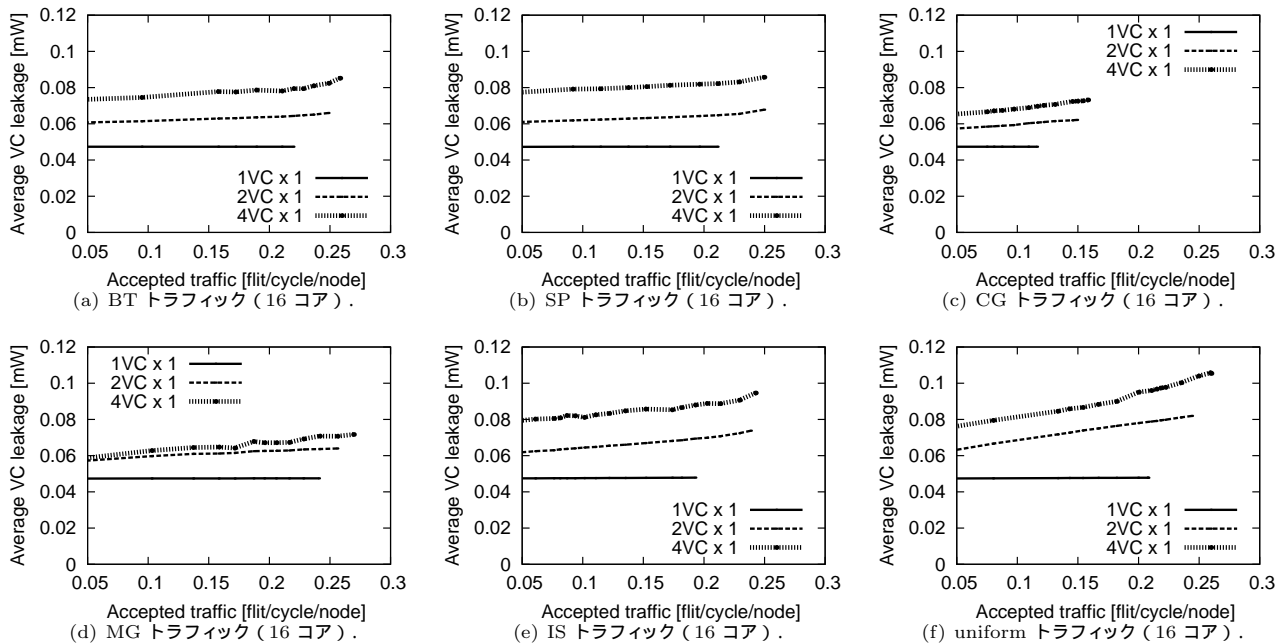


図 9 NPB トラフィックにおける物理チャネルの平均リーク電力 ($T_{wakeup} = 5$, $T_{idledetect} = 25$, $T_{breakeven} = 17$) .

参考文献

- 1) Ishikawa, M. et al.: A 4500 MIPS/W, 86 μ A Resume-Standby, 11 μ A Ultra-Standby Application Processor for 3G Cellular Phones, *IEICE Transactions on Electronics*, Vol. E88-C, No. 4, pp. 528–535 (2005).
- 2) Chen, X. and Peh, L.-S.: Leakage Power Modeling and Optimization in Interconnection Networks, *Proceedings of the International Symposium on Low Power Electronics and Design*, pp. 90–95 (2003).
- 3) Soteriou, V. and Peh, L.-S.: Design-Space Exploration of Power-Aware On/Off Interconnection Networks, *Proceedings of the International Conference on Computer Design*, pp. 510–517 (2004).
- 4) Banerjee, A., Mullins, R. and Moore, S.: A Power and Energy Exploration of Network-on-Chip Architectures, *Proceedings of the International Symposium on Networks-on-Chip*, pp. 163–172 (2007).
- 5) Matsutani, H., Koibuchi, M., Wang, D. and Amano, H.: Run-Time Power Gating of On-Chip Routers Using Look-Ahead Routing, *Proceedings of the Asia and South Pacific Design Automation Conference* (2008). (to appear).
- 6) Dally, W. J. and Towles, B.: *Principles and Practices of Interconnection Networks*, Morgan Kaufmann (2004).
- 7) Hu, Z., Buyuktosunoglu, A., Srinivasan, V., Zyuban, V., Jacobson, H. and Bose, P.: Microarchitectural Techniques for Power Gating of Execution Units, *Proceedings of the International Symposium on Low Power Electronics and Design*, pp. 32–37 (2004).
- 8) Koibuchi, M., Jouraku, A., Watanabe, K. and Amano, H.: Descending Layers Routing: A Deadlock-Free Deterministic Routing using Virtual Channels in System Area Networks with Irregular Topologies, *Proceedings of the International Conference on Parallel Processing*, pp. 527–536 (2003).