

Open Cell Library を用いたデジタル VLSI チップ設計

Digital VLSI Design using Open Cell Library

松谷 宏紀 †
Hiroki Matsutani †

† 慶應義塾大学 理工学部
† Dept. of Information and Computer Science, Keio University

1. はじめに

半導体技術の微細化による性能向上が頭打ちになりつつある昨今、これまで以上の高性能、低消費電力を実現したければ回路の微細化「だけ」に頼るのではなく、計算機アーキテクチャのレベルからのユニークな発想が必要不可欠である。必然的に、これまであまりデジタル VLSI チップ設計を行ってこなかった研究者が新しいアイデアを試すためにデジタル VLSI チップを試作、もしくは、そこまで行かなくとも回路レベルの詳細なシミュレーションが必要となる機会が増えるのではと思う。

そこで、本チュートリアルの第 1 部では、VLSI チップ設計の初心者を対象に、Open Cell Library を用いたデジタル VLSI チップの設計フローを紹介する。第 2 部では、日本の教育機関で実際にチップを作成する方法について例を挙げて紹介する。以降、第 1 部について紹介する。

2. 本 VLSI 設計フローの入手方法

第 1 部で紹介する Open Cell Library を用いたデジタル VLSI チップ設計フロー（講義資料と設計データ）については、国内の高等教育機関に所属する教職員もしくは研究者にデータを公開しています。すでに 40 前後の高等教育機関の 50 名以上の教職員もしくは研究者にデータを提供しました。本 VLSI 設計フローにご興味ございましたらホームページ[1]に記載のメールアドレスにご連絡ください。

本 VLSI チップ設計フローがこれだけ多くの場所でご活用いただけたことを筆者は心の底から誇りに思っています。

3. 本 VLSI 設計フローの内容

筆者が所属する慶應義塾大学理工学部情報工学科では、学部 4 年生を対象に「VLSI 設計演習」と題した半期（全 14 回+最終レポート）の講義を行っている[1]。

本講義は、情報分野の学生のうち計算機の基盤システムに興味のある学生を主なターゲットとしている。本講義では、ハードウェア記述言語 Verilog HDL の文法解説およびプロセッサアーキテクチャの基礎から教えるので、本講義を受けるために必要な前提知識は UNIX システムの基本的な操作方法、エディタ（Emacs もしくは vi）の使い方くらいである。以下に本講義のスケジュールを示す。

1. 本講義の概要
2. スタンダードセル設計の概要
3. Verilog HDL の文法解説
4. Verilog HDL の演習 1（小さな回路）
5. Verilog HDL の演習 2（マイクロプロセッサ）
6. 論理合成

7. Verilog HDL の演習 3（メモリマップと I/O）
8. Verilog HDL の演習 4（バスと DMA コントローラ）
9. 配置配線 1（フラット設計）
10. 静的タイミング解析、遅延付シミュレーション
11. 消費電力の解析
12. 配置配線 2（階層設計、ハードマクロ化）
13. 配置配線 3（チップアセンブリ、I/O セルの配置）
14. トランジスタレベル設計（DRC、LVS、xRC）

情報分野の場合、実際にチップをテープアウトする学生はそれほど多くない。実際、本講義を受講する大多数の学生の目的は計算機アーキテクチャに関するユニークな提案を評価する術を習得することである。計算機アーキテクチャの分野では、元来、評価にはプロセッサシミュレータが使われてきたが、実行サイクル数やキャッシュミス率に加えて、提案手法の面積オーバーヘッド、動作周波数、消費電力などを評価しようとするデジタル VLSI 設計の知識が必要になる。そこで、本講義では論理合成や配置配線の基礎理論については割愛して、Verilog HDL 言語を用いたハードウェア設計、論理合成、配置配線、面積の見積り、最大動作周波数の見積り、消費電力の見積り方法を実際の演習を通して習得することを目標にしている。

本設計フローでは、Verilog HDL を用いたフロントエンド設計、論理合成、配置配線、消費電力の見積り、LVS、DRC、トランジスタレベル設計のために東京大学大規模集積システム設計教育研究センター（VDEC）[2]を通して利用可能な CAD ツールを使わせていただいている。

このようなデジタル VLSI 設計の演習には、さらに、スタンダードセルライブラリが必要であるが、商用のスタンダードセルライブラリ、ましてや最先端のプロセス技術を基にしたライブラリにアクセスできる学生は限られている。そこで、本設計フローでは NanGate 社が公開している 45nm Open Cell Library [3]を使わせていただいている。

4. 本チュートリアルの内容

残念ながら本チュートリアルで演習はできないので座学になるが、本 VLSI 設計フローを時間の許す限り紹介する。**謝辞** 本成果は東京大学大規模集積システム設計教育研究センターを通し、シノプシス株式会社、日本ケイデンス株式会社、メンター株式会社の協力で行われたものである。

参考文献

- [1] VLSI 設計演習ホームページ, <http://www.arc.ics.keio.ac.jp/class/vlsi/>
- [2] 東京大学 大規模集積システム設計教育研究センター（VDEC）, <http://www.vdec.u-tokyo.ac.jp/>
- [3] NanGate, <http://www.nangate.com/>